**Y.T.Ü. Bilgisayar Mühendisliği Bölümü**

**BLM3611 Bilgisayar Donanımı, 2013 Güz Dönemi, Kısa Sınav 1, 10/10/2013**

**Gr1: Yrd.Doç.Dr. Fethullah Karabiber, Gr2: Yrd.Doç.Dr. Songül Albayrak**

|  |  |  |
| --- | --- | --- |
| Soru 1 (40p) | Soru 2 (60p) | Toplam (100 p) |
|  |  |  |

**Adı Soyadı:**

**Öğrenci No:**

**Grup No:**

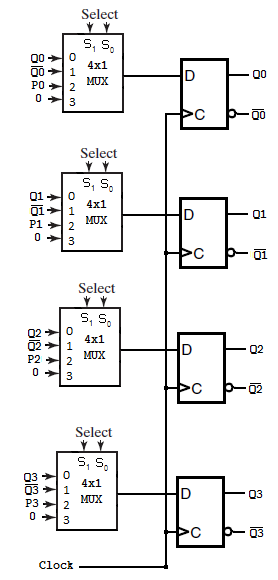
**Not:** Sınav Süresi 30 dakikadır. Başarılar...

|  |  |  |
| --- | --- | --- |
| **S2** | **S1** | **İşlem** |
| 0 | 0 | Değişiklik yok |
| 0 | 1 | Tersini al |
| 1 | 0 | Paralel yükleme |
| 1 | 1 | Sil |

**SORU 1:** Verilen tablodaki işlemleri 4-bit olacak şekilde gerçekleyen devreyi,

D flip-flopları ve çoğullayıcılar (Multiplexer)kullanarak tasarlayarak çiziniz?

**CEVAP 1:**

Verilen tabloda dört farklı işlem yapıldığı görülmektedir. Bunun için 4x1 Mux kullanılması gerekmektedir. İşlemler 4-bit olduğundan dolay 4 adet flip-flop ile birlikte 4 adet 4x1 Mux kullanılarak devre tasarlanabilir. Şekli verilen devrede,

Q3,Q2, Q1, Q0 🡪 mevcut saklayıcının içeriğini,

,, , 🡪 mevcut değerin tersini,

P3, P2, P1, P0 🡪 paralel yükleme girişlerini göstermektedir.

S1 ve S0 seçme girişlerine göre çoğullayıcı girişleri mevcut durum, mevcut durumun dersi, paralel giriş ve sıfır olacak şekilde bağlanır. Şekilde karmaşıklık olmaması için bağlantılar çizgi ile gösterilmemiştir.

**SORU 2:** Aşağıda verilen sayma sırasına göre tekrarlı sayma yapan sayıcıyı T tipi flip-flop kullanarak tasarlayıp çiziniz. Tasarımda durum tablosu ve flip-flop girişlerini gösteriniz. Sayma sırası: 0,1,2,4,5,6,..

|  |  |
| --- | --- |
| **T** | **Q(t+1)** |
| 0 | Q(t) |
| 1 | Q(t)’ |

**CEVAP 2:**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Present States** | | | **Next States** | | | **F.F. Inputs** | | |
| **A2** | **A1** | **A0** | **A2** | **A1** | **A0** | **T2** | **T1** | **T0** |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | X | X | X | X | X | X |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | X | X | X | X | X | X |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A2\A1A0** | **00** | **01** | **11** | **10** |
| **0** | 0 | 0 | x | 1 |
| **1** | 0 | 0 | x | 1 |
| TA2=A1 | | | | |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A2\A1A0** | **00** | **01** | **11** | **10** |
| **0** | 0 | 1 | x | 1 |
| **1** | 0 | 1 | x | 1 |
| TA1= A0+A1 | | | | |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A2\A1A0** | **00** | **01** | **11** | **10** |
| **0** | 1 | 1 | x | 0 |
| **1** | 1 | 1 | x | 0 |
| TA0=A1’ | | | | |

**T**

**C**

**T**

**C**

**T**

**C**

A1

A2

Clock

A0